Міністерство освіти і науки України

НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Кафедра ЕОМ



Звіт

З лабораторної роботи № 2

З дисципліни «Моделювання комп’ютерних систем*»*

На тему: «Структурний опис цифрового автомата. Перевірка роботи автомата за допомогою стенда Elbert V2 - Spartan 3A FPGA»

Виконав: ст. гр. КІ-201

Олеш С.Б.

Прийняв:

Козак Н.Б.

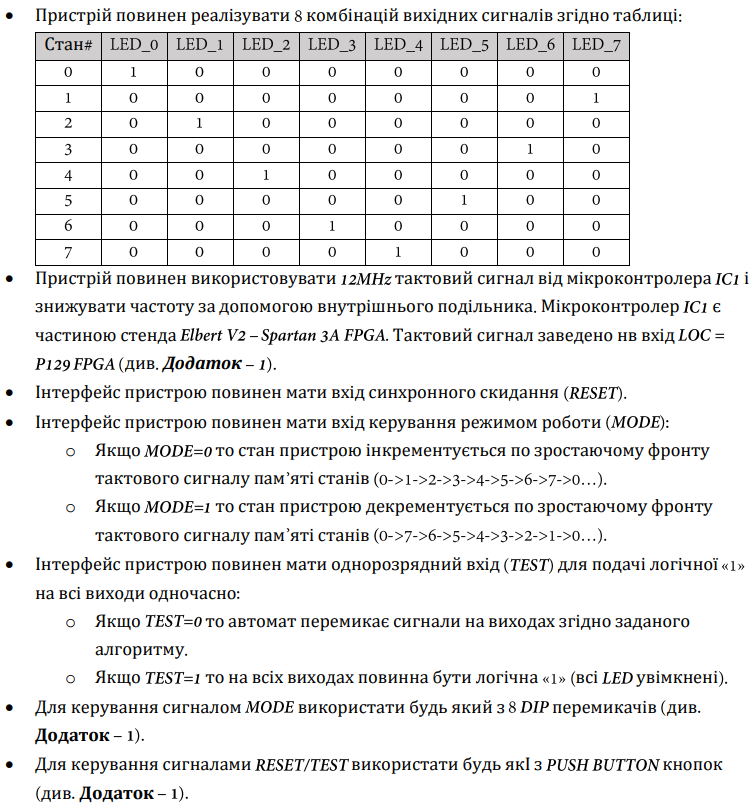
Львів – 2023

**Мета:** на базі стенда Elbert V2 - Spartan 3A FPGA реалізувати цифровий автомат світлових ефектів згідно наступних вимог:

1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання.
2. Логіку переходів реалізувати з використанням мови опису апаратних засобів VHDL. Заборонено використовувати оператори if, switch, for, when.
3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів VHDL. Заборонено використовувати оператори if, switch, for, when.
4. Згенерувати Schematic символи для VHDL описів логіки переходів та логіки формування вихідних сигналів.
5. Зінтегрувати всі компоненти (логіку переходів, логіку формування вихідних сигналів та пам ять станів) в єдину систему за допомогою ISE WebPACK Schematic Capture. Пам’ять станів реалізувати за допомогою графічних компонентів з бібліотеки.
6. Промоделювати роботу окремих частин автомата та автомата вцілому за допомогою симулятора Isim.
7. Інтегрувати створений автомат зі стендом Elbert V2 - Spartan 3A FPGA (додати подільник частоти для вхідного тактовового сигналу, призначити фізичні виводи на FPGA).
8. Згенерувати BIT файал та перевірити роботу за допомогою стенда Elbert V2 - Spartan 3A FPGA.
9. Підготувати і захистити звіт

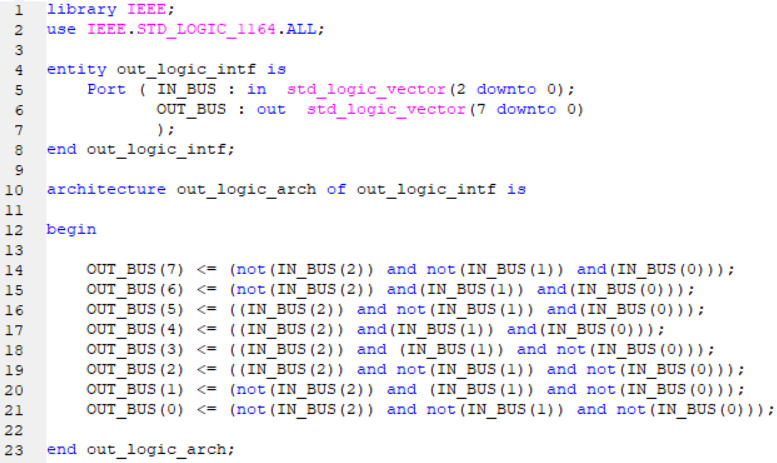
**Завдання:**

**Варіант 5**

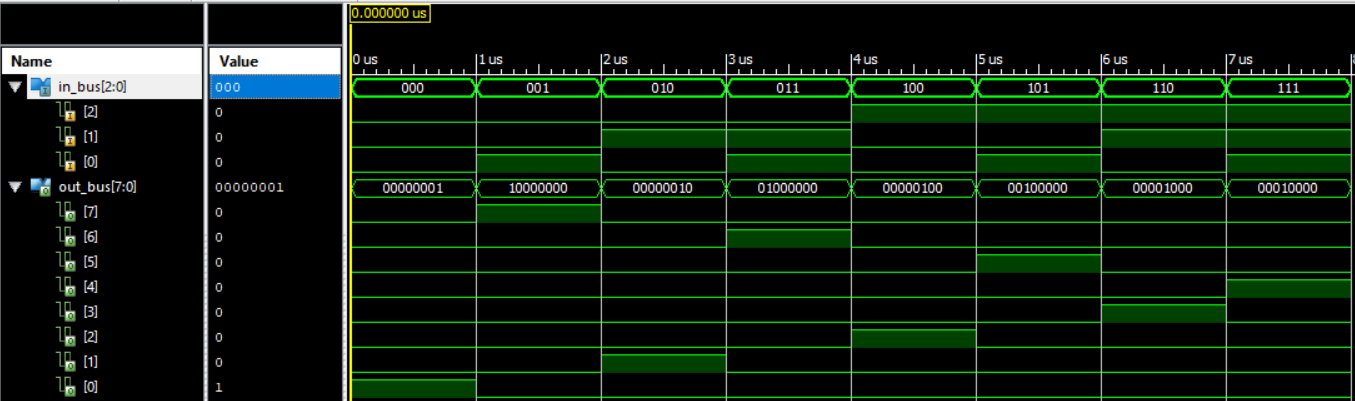


**Хід роботи:**

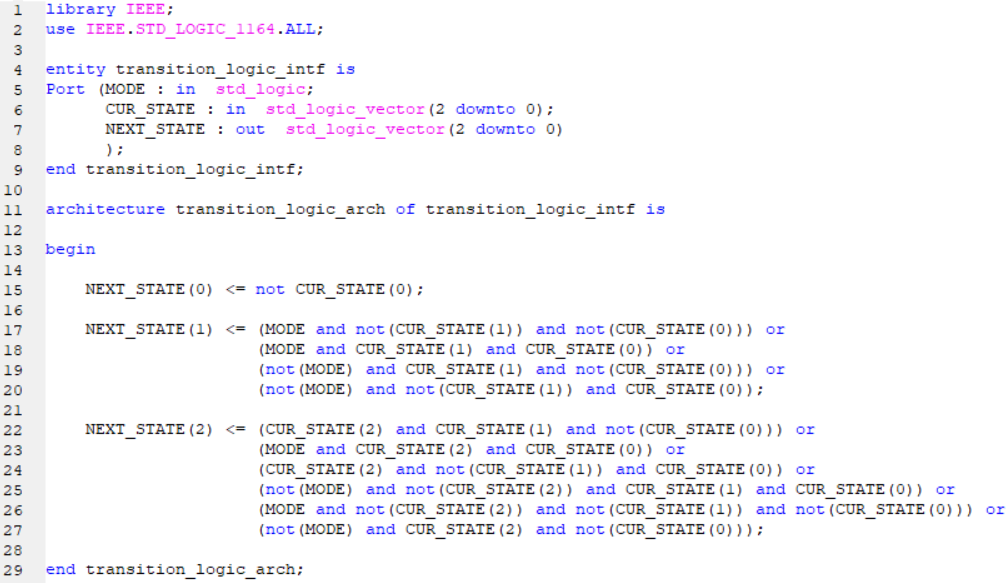
1. У середовищі Xilinx ISE створив новий проект. Налаштував цільову FPGA, обрав інструменти для синтезу і симуляції.
2. Додав VHDL файл OutputLogic до проекту та імплементував інтерфейс логіки формування вихідних сигналів, а також логічні вирази для формування кожного вихідного сигналу, залежно від поточного стану автомата.

****

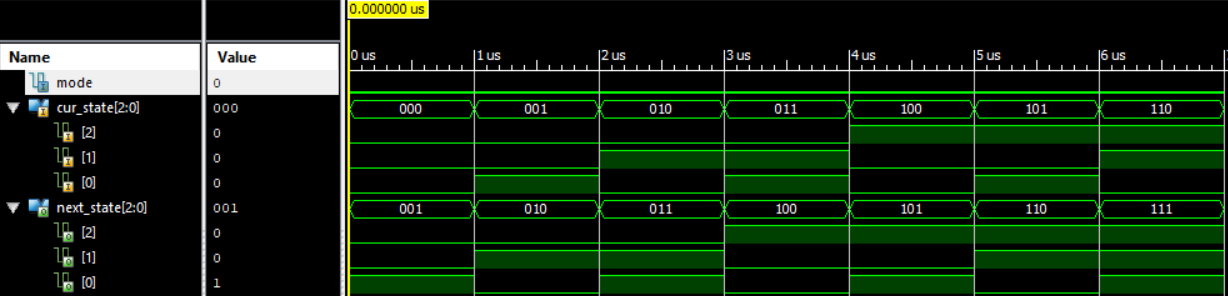
1. За допомогою симулятора Isim провів моделювання роботи схеми при всіх можливих комбінаціях сигналів на входах.

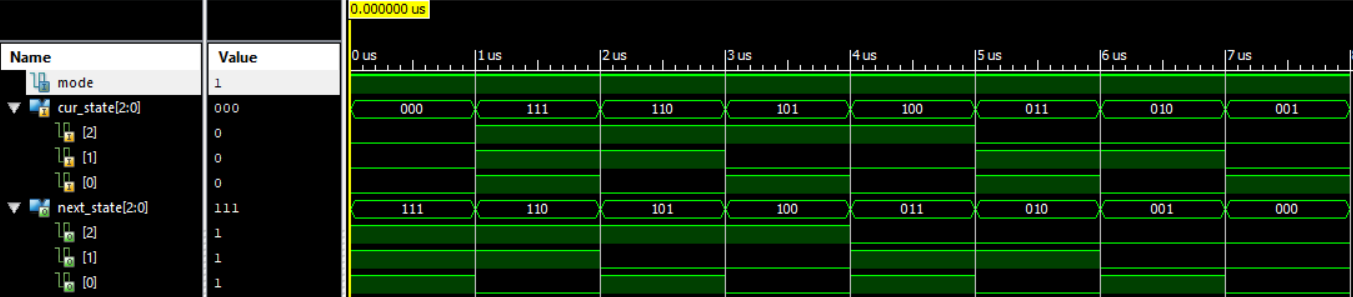
****

1. Додав до проекту VHDL файл TransitionLogic, в якому реалізував логіку формування переходів.

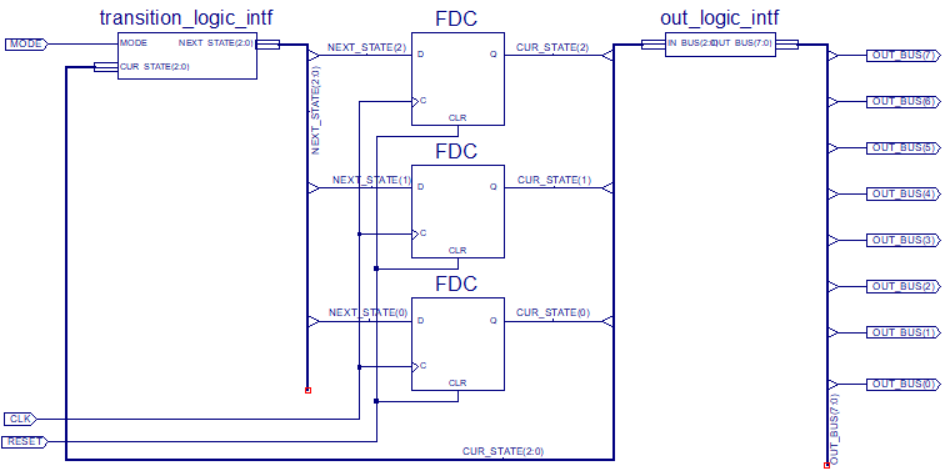
****

1. За допомогою симулятора Isim провів моделювання роботи схеми при всіх можливих комбінаціях сигналів на входах.

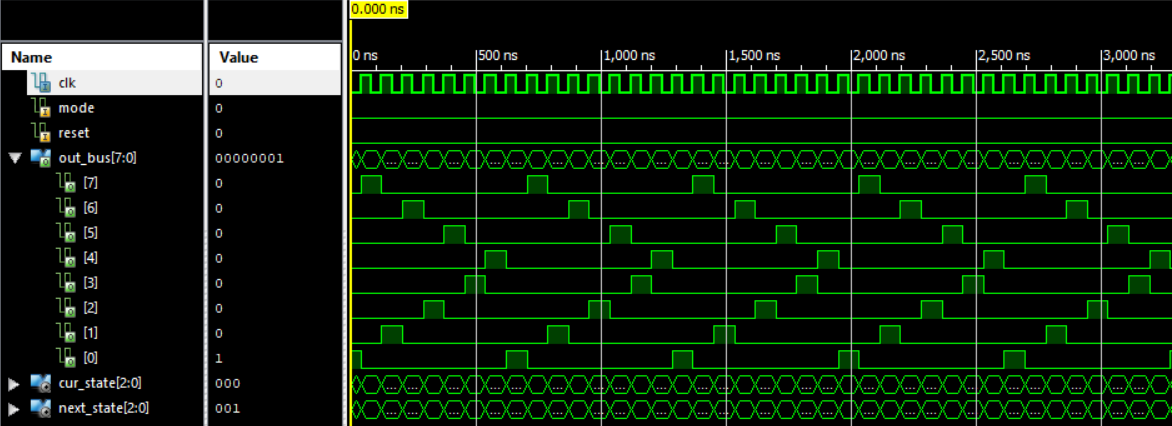
****

****

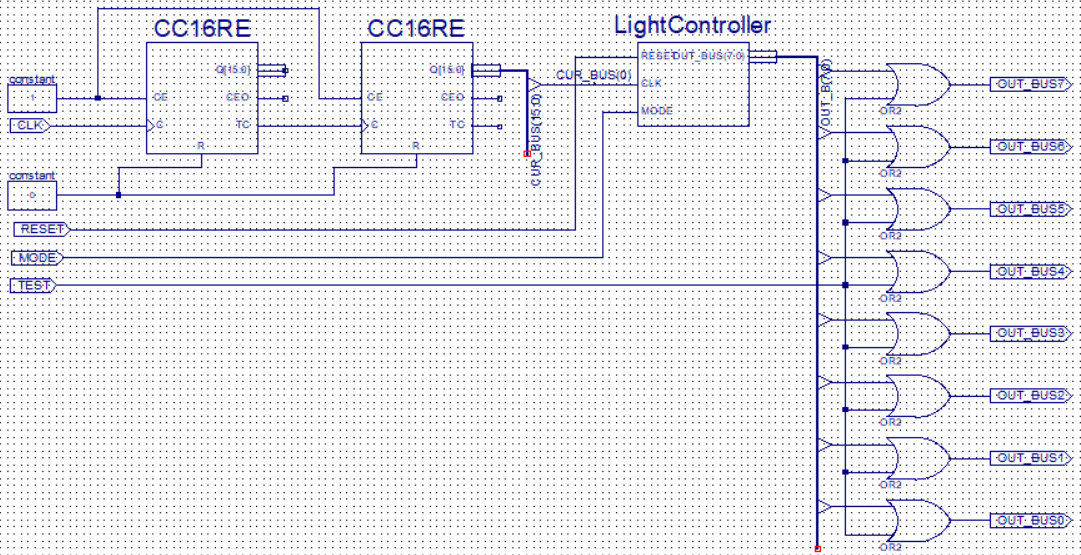
1. Додав до проекту Schematic файл LightController, виконав для нього команду Set as Top Module. Згенерував Schematic символи для файлів OutputLogic і TransitionLogic. Використовуючи новостворені символи та елементи з бібліотеки, реалізував у файлі LightController.sch пам’ять стану автомата.

****

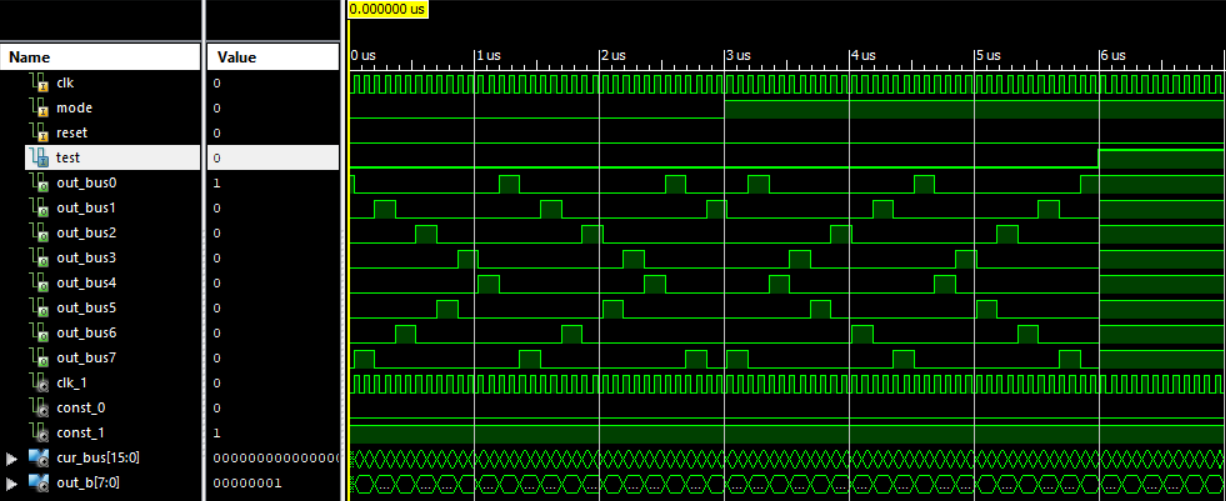
1. За допомогою симулятора Isim провів моделювання роботи схеми при всіх можливих комбінаціях сигналів на входах.

****

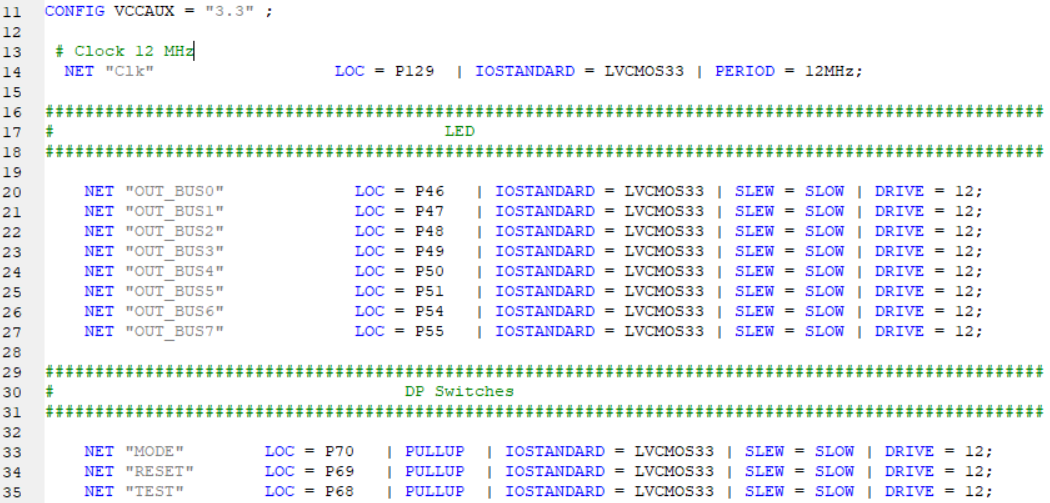
1. Додав до проекту Schematic файл TopLevel, виконав для нього команду Set as Top Module. Згенерував Schematic символ для файлу LightController. Використовуючи новостворений символ та елементи з бібліотеки, реалізував у файлі подільник вхідної частоти та логіку сигналу TEST.

****

1. За допомогою симулятора Isim провів моделювання роботи схеми з різними значеннями сигналів MODE, RESET та TEST при подачі на вхід CLK тактового сигналу 12 MHz.

****

1. Додав до проекту Constraint файл та призначила виводам схеми фізичні виводи цільової FPGA.

****

1. Відкрив директорію проекту у файловому менеджері та переконалася, що файли прошиття успішно згенерувалися.

****

**Висновок:** під час виконання цієї лабораторної роботи я реалізував цифровий автомат світлових ефектів у середовищі Xilinx ISE і стендом Elbert V2 - Spartan 3A FPGA. Я реалізував схему автомату та провів симуляцію його роботи.